

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284293

(43)Date of publication of application : 12.10.2001

(51)Int.CI.

H01L 21/301
B24C 1/00
H01L 21/306
H01L 33/00

(21)Application number : 2000-099896

(22)Date of filing : 31.03.2000

(71)Applicant : TOYODA GOSEI CO LTD

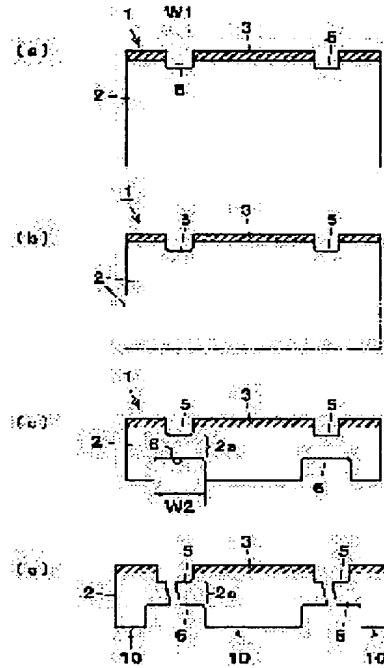
(72)Inventor : SATO TAKAO
OTA KOICHI
HASHIMURA MASAKI

(54) CHIP DIVISION METHOD FOR SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To raise emitted light brightness by enlarging the area of a semiconductor layer on a semiconductor chip be divided and increase the number of obtained semiconductor chips.

SOLUTION: The method comprises a process for forming a relatively narrow first division groove 5 of a groove width W1 on the surface at a semiconductor layer formation side of a semiconductor wafer 1 by dicing, etching or blast, and a process for forming a relatively wide second division groove of a groove width W2 in a position corresponding to the first division groove 5 on a surface at a semiconductor layer non-formation side of the semiconductor wafer 1 by dicing.



LEGAL STATUS

[Date of request for examination] 28.03.2003

[Date of sending the examiner's decision of rejection]

withdrawal

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 25.07.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the approach of dividing into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate The process which forms the narrow slot for the first division on the flute width by dicing, etching, or blasting relatively [front face / by the side of the semi-conductor stratification of said semi-conductor wafer]. The chip division approach of the semi-conductor wafer characterized by including the process which is a front face by the side of the semi-conductor layer agenesis of said semi-conductor wafer, and forms the large slot for the second division on the flute width by dicing relatively [location / corresponding to said slot for the first division].

[Claim 2] The chip division approach of a semi-conductor wafer including the process which forms the slot for the third division used as the relation of flute width ** of the slot for the flute width < second division of the slot for the flute width <= third division of the slot for the first division in the groove bottom of said slot for the second division by dicing according to claim 1.

[Claim 3] The chip division approach of a semi-conductor wafer according to claim 1 that the slot cross-section configuration of said slot for the second division is a letter of the abbreviation for U characters with the crosswise deepest center section, or a letter of the abbreviation for V characters.

[Claim 4] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-3 whose flute widths of said slot for the first division are 10-50 micrometers.

[Claim 5] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-4 whose flute widths of said slot for the second division are 15-100 micrometers.

[Claim 6] Said slot for the first division has the relatively small depth, and said slot for the second division is the chip division approach of a semi-conductor wafer given in any 1 term of claims 1-5 with the large depth relatively.

[Claim 7] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-6 whose thickness of the residual section of the substrate which remains between said slot for the first division and the slot for the second division is 20-100 micrometers.

[Claim 8] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-7 which said substrate becomes from a with a Mohs hardness of eight or more high degree-of-hardness ingredient.

[Claim 9] The chip division approach of a semi-conductor wafer given in any 1 term of claims 1-8 which said substrate becomes from sapphire or GaN, and said semi-conductor layer becomes from a gallium nitride system compound semiconductor.

[Translation done.]

* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of dividing into many semiconductor chips the semiconductor wafer with which it comes to form a semi-conductor layer on a substrate.

[0002]

[Description of the Prior Art] After forming a slot in a wafer by dicing or forming a scribe line by the scribe as an approach of dividing a semi-conductor wafer, while starting from said slot or a scribe line according to braking, the method of breaking a wafer along with them is common. Dicing is the approach of making the rotary knife and wafer of a dicer (dicing saw) displaced relatively, and forming a dicing slot in a wafer. A scribe is the approach of making the acute cutting edge and wafer of a scribe displaced relatively, and forming a scribe line in a wafer. Braking is the approach of breaking a wafer, by pressing a wafer with a press cutting edge or a press roller, and performing tripartite bending.

[0003] In the semi-conductor wafer using the substrate which consists of high degree-of-hardness ingredients (for example, sapphire, GaN, etc.), only by forming a shallow dicing slot or a scribe line, braking needed to be carried out, after adding the device of carrying out dicing deeply, or carrying out a scribe after carrying out the thinning of the substrate sharply, since it is difficult to break a wafer according to braking. For example, the following all directions method is learned as an approach of dividing the wafer with which the laminating of the gallium nitride system compound semiconductor was carried out on the front face of silicon on sapphire in the shape of a chip.

[0004] (1) The approach indicated by the patent No. 2765644 official report includes the following process.

** The division process which divides a wafer in the shape of a chip after the scribe process ** scribe process of putting a scribe line into silicon on sapphire with a scribe from on the slot formed at the polish process ** dicing process which makes thin thickness of the dicing process ** silicon on sapphire which cuts a slot deeply by the dicer more deeply than the thickness of a gallium nitride system compound semiconductor layer by polish [0005] (2) The approach indicated by the patent No. 2780618 official report includes the following process.

** While forming the first rate slot in a line by etching in a desired chip configuration from a gallium nitride system compound semiconductor layer side In the location which agrees with the line of the first rate slot from the silicon-on-sapphire side of the process ** wafer which forms the flat surface which can form an electrode in a part of first rate slot The process which divides a wafer in the shape of a chip along the rate slot of the process ** first and the second rate slot which form the second rate slot (a scribe is desirable) which has line breadth thinner than the line breadth of the first rate slot [0006] (3) The approach indicated by the patent No. 2861991 official report includes the following process.

** While forming the first rate slot in a desired chip configuration from the gallium nitride system compound semiconductor layer side of a wafer at a line (etching) This first rate slot in the location which agrees with the line of the first rate slot from the silicon-on-sapphire side of the process ** wafer which penetrates a gallium nitride system compound semiconductor layer, and is formed to the depth except a part of silicon on sapphire The process which divides a wafer in the shape of a chip along the rate slot of the process ** first and the second rate slot which form the second rate slot (a scribe is desirable) which has line breadth thinner than the line breadth of the first rate slot [0007]

[Problem(s) to be Solved by the Invention] It is necessary to form the slot even from a semi-conductor stratification side to a substrate by dicing like the above (1), and by the approach of putting a scribe line into the groove bottom with a scribe further, it is necessary to enlarge the flute width of the slot so that a scribe cutting edge may go into a slot. Moreover, as shown in the above (2) and (3), line breadth of the first groove from a semi-conductor stratification side is made larger than the line breadth of the second rate slot from a silicon-on-sapphire side for making it not attain to even a semi-conductor layer, even if the cutting plane line generated from the second rate slot runs aslant, therefore it makes line breadth of the first groove large with 80 micrometers in the example of this official report. Thus, when the area of the semi-conductor layer in the semiconductor chip which will be divided if the flute width of the slot formed in a semi-conductor stratification side is made large decreases, and there is a problem that luminescence brightness becomes low and it was made for the area not to decrease, the semiconductor chip could be taken and there was a problem that a number decreased.

[0008] It is to offer the chip division approach of the semi-conductor wafer which can also easy-ize braking while the purpose of this invention makes the area of the semi-conductor layer in the semiconductor chip which solves and divides the above-mentioned technical problem increase, can take a semiconductor chip and can make a number to raise luminescence brightness or increase.

[0009]

[Means for Solving the Problem] In the approach this invention divides into many semiconductor chips the semi-conductor wafer with which it comes to form a semi-conductor layer on a substrate The process which forms the narrow slot for the first division on the flute width by dicing, etching, or blasting relatively [front face / by the side of the semi-conductor stratification of a semi-conductor wafer], It is characterized by including the process which is a front face by the side of the semi-conductor layer agenesis of a semi-conductor wafer, and forms the large slot for the second division on the flute width by dicing relatively [location / corresponding to the slot for the first division]. Relatively, of course, it is the relative relation between the flute width of the slot for the first division, and the flute width of the slot for the second division as it

is narrow or large.

[0010] Here, "dicing" is good by the usual approach of performing in the rotary knife to which for example, the diamond abrasive grain adhered. As "etching", dry etching, such as reactive ion etching, ion milling, focusing beam etching, and ECR etching, the wet etching by the mixed acid of a sulfuric acid and a phosphoric acid, etc. can be illustrated, and the mask for etching-proof of the pattern which leaves a grid-like outcrop before etching to the front face of a semi-conductor wafer is formed. "Blasting" can illustrate the approach of carrying out blasting of the particle abrasive with a mean particle diameter of 10-30 micrometers which consists of an alumina, silicon carbide, boron, a diamond, etc. by blasting pressure 0.2-0.8MPa, and forms before blasting the mask for blasting-proof of the pattern which leaves a grid-like outcrop to the front face of a semi-conductor wafer. The kinetic energy which the particle abrasive by which blasting was carried out at high speed has is the approach of using the operation which shaves off some of semi-conductor layers and substrates in micro.

[0011] The process which forms the slot for the third division used as the relation of flute width ** of the slot for the flute width < second division of the slot for the flute width <= third division of the slot for the first division in the groove bottom of the slot for the second division by dicing can also be added.

[0012] The slot cross-section configuration of the slot for the second division can also be made into the letter of the abbreviation for U characters with the crosswise deepest center section, or the letter of the abbreviation for V characters.

[0013] (As long as said relative relation is filled), the flute width of the slot for the first division has desirable 10-50 micrometers, and its 20-40 micrometers are still more desirable. If formation of the slot for the first division will become difficult if this flute width is small, and this flute width is large -- the area of a semi-conductor layer -- or it can take and reduction in a number becomes remarkable.

[0014] (As long as said relative relation is filled), the flute width of the slot for the second division has desirable 15-100 micrometers, and its 20-50 micrometers are still more desirable. If this flute width is small, the life of the rotary knife of a dicer will become short (there is an inclination for a life to be short as a thin rotary knife), if this flute width is large, the area of base of the substrate in a semiconductor chip will become small, and mechanical stability will worsen.

[0015] Although the depth of flute for the first division and especially the depth of flute for the second division are not limited, the slot for the first division has the relatively small depth, and, as for the slot for the second division, it is desirable that the depth is relatively large. Since the direction of the slot for the first division uses a thin rotary knife with the inclination for a flute width to be relatively narrow and for a life to be short as a rotary knife of a dicer, the slot for the first division is because how to bend not much deeply is desirable. Moreover, it is because the direction of the slot for the second division uses a thick rotary knife with the inclination for a flute width to be relatively wide and for a life to be long as a rotary knife of a dicer, so it is easy to make the slot for the second division deep.

[0016] And it is desirable to set to 20-100 micrometers thickness of the residual section of the substrate which remains between the slot for the first division and the slot for the second division, and it is still more desirable to make it 20-50 micrometers. Although -izing of the braking can be carried out [easy] in this invention since the slot for division is formed in the both sides by the side of the semi-conductor stratification of a semi-conductor wafer, and semi-conductor layer agenesis, -izing of the braking can be most carried out [easy] by making thickness of this residual section into said range.

[0017] Although not limited by the component of a substrate, this invention is effective especially when it is what a substrate becomes from a with a Mohs hardness of eight or more high degree-of-hardness ingredient. For example, it is effective in especially division of the semi-conductor wafer with which a substrate consists of sapphire or GaN, and a semi-conductor layer consists of a gallium nitride system compound semiconductor.

[0018]

[Embodiment of the Invention] Drawing 1 – drawing 5 show the chip division approach of the semi-conductor wafer concerning the operation gestalt of this invention. First, if the semi-conductor wafer 1 to divide is explained, as shown in drawing 1 (a), this wafer 1 will consist of a substrate 2 and a semi-conductor layer 3 which constitutes the light emitting devices (light emitting diode, laser diode, etc.) formed on the front face, and this layer 3 will consist of main layers 11-16 and an electrode (illustration abbreviation).

[0019] The front face in which a substrate 2 becomes from sapphire, a flat-surface dimension configuration forms the square of 2 inches (about 5cm) in, and thickness forms 350 micrometers and a semi-conductor layer is the thing of the a-th page [11-20]. However, a substrate is not limited to this but can change suitably an ingredient (for example, the substrate which consists of GaN is used), a flat-surface dimension configuration, thickness, the crystal face, etc.

[0020] The main layers 11-16 are the gallium nitride system compound semiconductors (although a buffer layer is AlN, GaN is sufficient as it) all formed of metal-organic chemical vapor deposition. The AlN buffer layer 11 is first formed on a substrate 2, and the Si dope n mold GaN contact layer 12 is formed on this layer 11. The n mold GaN cladding layer 13 is formed on this layer 12, and the luminous layer 14 of the multiplex quantum well structure where the laminating of a GaN barrier layer and the InGaN well layer was carried out by turns is formed on this layer 13. The Mg dope p mold AlGaN cladding layer 15 is formed on this layer 14, and the Mg dope p mold GaN contact layer 16 is formed on this layer 15. Although especially the thickness of the 11 to main layer 16 whole is not limited, it is 2-15 micrometers, for example.

[0021] However, main layers are not limited to this configuration, but changing the presentation of each class, or changing a luminous layer for example, into single quantum well structure, or excluding a buffer layer 11, in setting a substrate 2 to GaN, or establishing resonance structure in the case of laser diode etc. can change them suitably.

[0022] [First operation gestalt] drawing 2 shows the first operation gestalt of the chip division approach of the above-mentioned semi-conductor wafer 1, and performs it according to the following process.

(1) As shown in drawing 1 (b) and drawing 2 (a), a flute width W1 forms in the front face by the side of the semi-conductor stratification of the semi-conductor wafer 1 the slot 5 for the first division which is about 25 micrometers by dicing, etching, or blasting. The flat-surface dimension configuration of the semiconductor chip to divide is about 350 micrometers in one-side square, therefore the slot 5 for the first division is formed in a pitch 350micrometer plane-grating-like array. Moreover, the depth of the slot 5 for the first division removes the semi-conductor layer 3 by overall thickness, and it forms it so that it may result even for example, in about 15-micrometer depth in a substrate 2 further.

[0023] (2) As shown in drawing 2 (b), carry out the thinning of this substrate 2 to about 100 micrometers in thickness uniformly by grinding the front face by the side of the semi-conductor layer agenesis with a thickness of 350 micrometers

of a substrate 2 with a grinder.

[0024] (3) As shown in drawing 1 (b) and drawing 2 (c), it is a front face by the side of the semi-conductor layer agenesis of the semi-conductor wafer 1, and a flute width W2 forms in the location corresponding to said slot 5 for the first division the slot 6 for the second division which is about 50 micrometers by dicing. Although those flute widths have just lapped also in the part, as for the slot 5 for the first division, and the slot 6 for the second division, it is desirable that the slot 5 for the first division is settled in the range of the flute width of the slot 6 for the second division, and it is still more desirable that the center section of those flute width directions carries out abbreviation agreement up and down. It is about 45 micrometers, therefore the thickness of residual section 2a of the substrate 2 which remains between the slot 5 for the first division and the slot 6 for the second division is set to about 40 micrometers by the depth of the slot 6 for the second division.

[0025] (4) As shown in drawing 2 (d), break the semi-conductor wafer 1 according to braking in residual section 2a of a substrate 2, and divide it into many semiconductor chips 10.

[0026] According to the chip division approach of this operation gestalt, the following effectiveness is acquired.

** When making the area of the semi-conductor layer 3 in the semiconductor chip 10 to divide increase, and luminescence brightness can be raised and it does not make the area increase, a semiconductor chip 10 can be taken and a number can be made to increase, since the flute width W1 of the slot 5 for the first division formed in the semi-conductor stratification side of a substrate 2 is made narrower than the flute width W2 of the slot 6 for the second division formed in a semi-conductor layer agenesis side.

[0027] ** Since the flute width W2 of the slot 6 for the second division formed in the semi-conductor layer agenesis side of a substrate 2 is made larger than the flute width W1 of the slot 5 for the first division formed in a semi-conductor stratification side, the thick rotary knife which has the inclination for a life to be long, as a rotary knife of the dicer which forms the slot 6 for the second division can be used. By this, the depth of the slot 6 for the second division is enlarged, thickness of residual section 2a is made thin, and-izing of the braking can be carried out [easy]. Moreover, the exchange cycle of a rotary knife can become long, the time and effort of exchange can be reduced, and reduction of rotary knife cost can also be aimed at.

[0028] The chip division approach of the second operation gestalt shown in [second operation gestalt] drawing 3 (a) In the first operation gestalt, it is after formation of the slot 6 for the second division. Before braking Only in the point of adding the process which forms the slot 7 for the third division used as the relation of the flute width of the slot 6 for the flute width < second division of the slot 7 for the flute width <= third division of the slot 5 for the first division in the groove bottom of this slot 6 for the second division by dicing, it is different from the first operation gestalt. Flute width W3 is about (the flute width W1 and abbreviation identitas of the slot 5 for the first division) 25 micrometers, and the depth of the slot 7 for the third division of the example of illustration is about 20 micrometers from the groove bottom of the slot 6 for the second division. Therefore, the thickness of residual section 2a of a substrate 2 is set to about 20 micrometers.

[0029] Since the thickness of residual section 2a of a substrate 2 becomes thinner, while being able to carry out [easy]-izing of the braking more according to the second operation gestalt, the crack generated at the time of braking falls within the range of the flute width of the slot 7 for the third (narrower than flute width of slot 6 for the second division) division, and the effectiveness of not running extremely aslant is acquired.

[0030] In case the chip division approach of the third operation gestalt shown in [third and fourth operation gestalt] drawing 3 (b) forms the slot 6 for the second division in the first operation gestalt, it is different from the first operation gestalt only in the point which made the slot cross-section configuration of this slot 6 for the second division the letter of the abbreviation for U characters with the crosswise deepest center section. The chip division approach of the fourth operation gestalt similarly shown in drawing 3 (c) is different from the first operation gestalt only in the point which made the slot cross-section configuration of the slot 6 for the second division the letter of the abbreviation for V characters with the crosswise deepest center section.

[0031] According to the third and fourth operation gestalt, since the thickness of residual section 2a of a substrate 2 becomes the thinnest in the center section of the cross direction of the slot 6 for the second division, the crack at the time of braking occurs in this center section, and the effectiveness of **** is acquired.

[0032] In addition, this invention is not limited to said operation gestalt, in the range which does not deviate from the meaning of invention as follows, can be changed suitably and can also be materialized.

(1) A semiconductor chip may not be limited to a light emitting device, for example, a photo detector is sufficient as it.

[0033]

[Effect of the Invention] While according to the chip division approach of the semi-conductor wafer concerning this invention making the area of the semi-conductor layer in the semiconductor chip to divide increase, being able to take a semiconductor chip and being able to make a number to raise luminescence brightness or increase as explained in full detail above, the outstanding effectiveness that braking can also be easy-ized is done so.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semi-conductor wafer which divides (a) with the operation gestalt of this invention, and (b) are the top views when forming the slot for division in this semi-conductor wafer.

[Drawing 2] It is the sectional view showing the chip division approach of the first operation gestalt.

[Drawing 3] The sectional view in which (a) shows the main point of the chip division approach of the second operation gestalt, the sectional view in which (b) shows the main point of the chip division approach of the third operation gestalt, and (c) are the sectional views showing the main point of the chip division approach of the third operation gestalt.

[Description of Notations]

1 Semi-conductor Wafer

2 Substrate

2a Residual section

3 Semi-conductor Layer

5 Slot for First Division

6 Slot for Second Division

7 Slot for Third Division

W1 Flute width of the slot for the first division

W2 Flute width of the slot for the second division

W3 Flute width of the slot for the third division

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-284293
(P2001-284293A)

(43)公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.⁷

識別記号

F I

テ-マコト(参考)

H 01 L 21/301

B 24 C 1/00

Z 5 F 0 4 1

B 24 C 1/00

H 01 L 33/00

C 5 F 0 4 3

H 01 L 21/306

21/78

L

33/00

21/306

C

21/78

H

審査請求 未請求 請求項の数 9 O L (全 6 頁) 最終頁に続く

(21)出願番号

特願2000-99896 (P2000-99896)

(71)出願人 000241463

(22)出願日

平成12年3月31日 (2000. 3. 31)

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1
番地

(72)発明者 佐藤 孝夫

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(72)発明者 太田 光一

愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(74)代理人 100096116

弁理士 松原 等

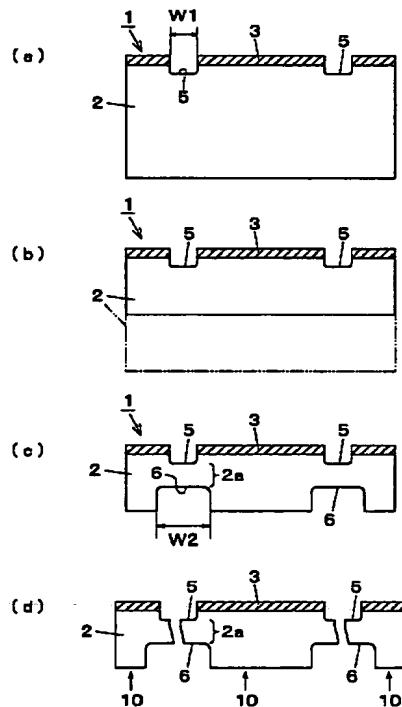
最終頁に続く

(54)【発明の名称】 半導体ウエハーのチップ分割方法

(57)【要約】

【課題】 分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりする。

【解決手段】 半導体ウエハー1の半導体層形成側の表面に相対的に溝幅W1の狭い第一分割用溝5をダイシング、エッティング又はプラストにより形成する工程と、半導体ウエハー1の半導体層非形成側の表面であって第一分割用溝5に対応する位置に相対的に溝幅W2の広い第二分割用溝をダイシングにより形成する工程とを含む。



【特許請求の範囲】

【請求項 1】 基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、前記半導体ウエハーの半導体層形成側の表面に相対的に溝幅の狭い第一分割用溝をダイシング、エッティング又はブラストにより形成する工程と、前記半導体ウエハーの半導体層非形成側の表面であつて前記第一分割用溝に対応する位置に相対的に溝幅の広い第二分割用溝をダイシングにより形成する工程とを含むことを特徴とする半導体ウエハーのチップ分割方法。

【請求項 2】 前記第二分割用溝の溝底に、第一分割用溝の溝幅と第三分割用溝の溝幅と第二分割用溝の溝幅との関係となる第三分割用溝をダイシングにより形成する工程を含む請求項 1 記載の半導体ウエハーのチップ分割方法。

【請求項 3】 前記第二分割用溝の溝断面形状が、幅方向の中央部が最も深い略 U 字状又は略 V 字状である請求項 1 記載の半導体ウエハーのチップ分割方法。

【請求項 4】 前記第一分割用溝の溝幅が、10～50 μm である請求項 1～3 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 5】 前記第二分割用溝の溝幅が、15～100 μm である請求項 1～4 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 6】 前記第一分割用溝は相対的に深さが小さく、前記第二分割用溝は相対的に深さが大きい請求項 1～5 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 7】 前記第一分割用溝と第二分割用溝との間に残る基板の残存部の厚さが、20～100 μm である請求項 1～6 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 8】 前記基板がモース硬度 8 以上の高硬度材料よりなる請求項 1～7 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 9】 前記基板がサファイア又は GaN よりなり、前記半導体層が窒化ガリウム系化合物半導体よりなる請求項 1～8 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法に関するものである。

【0002】

【従来の技術】 半導体ウエハーを分割する方法としては、ウエハーにダイシングにより溝を形成したり又はスクライプによりスクライブラインを形成したりした後、ブレーキングにより前記溝又はスクライブラインを起点とすると共にそれらに沿ってウエハーを割る方法が一般

的である。ダイシングとは、ダイサー（ダイシングソー）の回転刃とウエハーとを相対移動させてウエハーにダイシング溝を形成する方法である。スクライブとは、スクライバーの先鋭刃とウエハーとを相対移動させてウエハーにスクライブラインを形成する方法である。ブレーキングとは、押圧刃や押圧ローラでウエハーを押圧して三点曲げを行うことによりウエハーを割る方法である。

【0003】 高硬度材料（例えばサファイア、GaN 等）よりなる基板を用いた半導体ウエハーにおいては、浅いダイシング溝又はスクライブラインを形成しただけでは、ブレーキングによりウエハーを割ることが困難なため、深くダイシングしたり、基板を大幅に薄肉化してからスクライブしたりする等の工夫を加えた後に、ブレーキングする必要があった。例えば、サファイア基板の表面上に窒化ガリウム系化合物半導体が積層されたウエハーをチップ状に分割する方法としては、次の各方法が知られている。

【0004】 (1) 特許第 2765644 号公報に記載された方法は次の工程を含む。

① ダイサーにより窒化ガリウム系化合物半導体層の厚さよりも深く溝を切り込むダイシング工程

サファイア基板の厚さを研磨により薄くする研磨工程

ダイシング工程で形成された溝の上からスクライバーによりサファイア基板にスクライブラインを入れるスクライブ工程

スクライブ工程の後、ウエハーをチップ状に分割する分割工程

【0005】 (2) 特許第 2780618 号公報に記載された方法は次の工程を含む。

窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状にエッティングにより形成すると共に、第一の割り溝の一部に電極が形成できる平面を形成する工程

ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅よりも細い線幅を有する第二の割り溝（スクライブが好ましい）を形成する工程

第一の割り溝および第二の割り溝に沿って、ウエハーをチップ状に分割する工程

【0006】 (3) 特許第 2861991 号公報に記載された方法は次の工程を含む。

ウエハーの窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状に（エッティングにより）形成すると共に、この第一の割り溝を窒化ガリウム系化合物半導体層を貫通してサファイア基板の一部を除く深さまで形成する工程

ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅よりも細い線幅

を有する第二の割り溝（スクライブが好ましい）を形成する工程

③ 第一の割り溝および第二の割り溝に沿って、ウエハーをチップ状に分割する工程

【0007】

【発明が解決しようとする課題】上記（1）のように、半導体層形成側から基板にまで至る溝をダイシングにより形成し、さらにその溝底にスクライバーによりスクライブラインを入れる方法では、溝にスクライブ刃が入るようにその溝の溝幅を大きくする必要がある。また、上記（2）（3）のように、半導体層形成側からの第一の割溝の線幅を、サファイア基板側からの第二の割り溝の線幅より広くするのは、第二の割り溝から発生する切断線が斜めに走っても半導体層にまで及ばないようにするためであり、従って、同公報の実施例では第一の割溝の線幅を $80\text{ }\mu\text{m}$ と広くしている。このように半導体層形成側に形成する溝の溝幅を広くすると、分割する半導体チップにおける半導体層の面積が減少して発光輝度が低くなるという問題があり、また、その面積が減少しないようにすると半導体チップの取れ数が減少するという問題があった。

【0008】本発明の目的は、上記課題を解決し、分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりすることができるとともに、ブレーキングを容易化することもできる半導体ウエハーのチップ分割方法を提供することにある。

【0009】

【課題を解決するための手段】本発明は、基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、半導体ウエハーの半導体層形成側の表面に相対的に溝幅の狭い第一分割用溝をダイシング、エッティング又はブラストにより形成する工程と、半導体ウエハーの半導体層非形成側の表面であって第一分割用溝に対応する位置に相対的に溝幅の広い第二分割用溝をダイシングにより形成する工程とを含むことを特徴とする。相対的に狭い又は広いとは、勿論、第一分割用溝の溝幅と第二分割用溝の溝幅との相対関係である。

【0010】ここで、「ダイシング」は、例えばダイヤモンド砥粒の付着した回転刃にて行う通常の方法よい。「エッティング」としては、反応性イオンエッティング、イオンミリング、集束ビームエッティング、E C R エッティング等のドライエッティングや、硫酸とリン酸の混酸によるウエットエッティング等を例示でき、エッティング前に、半導体ウエハーの表面に格子状露出部を残すパターンの耐エッティング用マスクを形成する。「ブラスト」は、例えばアルミナ、炭化珪素、ボロン、ダイヤ等よりなる平均粒子径 $10\sim30\text{ }\mu\text{m}$ の微粒子ブ拉斯ト材をブ拉斯ト圧力 $0.2\sim0.8\text{ MPa}$ でブ拉斯トする方法を

例示でき、ブ拉斯ト前に、半導体ウエハーの表面に格子状露出部を残すパターンの耐ブ拉斯ト用マスクを形成する。高速でブ拉斯トされた微粒子ブ拉斯ト材の持つ運動エネルギーが半導体層や基板の一部をミクロ的に削り取る作用を利用する方法である。

【0011】第二分割用溝の溝底に、第一分割用溝の溝幅 \leq 第三分割用溝の溝幅 $<$ 第二分割用溝の溝幅、の関係となる第三分割用溝をダイシングにより形成する工程を加えることもできる。

【0012】第二分割用溝の溝断面形状を、幅方向の中央部が最も深い略 U 字状又は略 V 字状とすることもできる。

【0013】第一分割用溝の溝幅は（前記相対関係を満たす限りにおいて）、 $10\sim50\text{ }\mu\text{m}$ が好ましく、 $20\sim40\text{ }\mu\text{m}$ がさらに好ましい。この溝幅が小さいと第一分割用溝の形成が困難になり、この溝幅が大きいと半導体層の面積又は取れ数の減少が顕著となる。

【0014】第二分割用溝の溝幅は（前記相対関係を満たす限りにおいて）、 $15\sim100\text{ }\mu\text{m}$ が好ましく、 $20\sim50\text{ }\mu\text{m}$ がさらに好ましい。この溝幅が小さいとダイサーの回転刃の寿命が短くなり（薄い回転刃ほど寿命が短い傾向がある）、この溝幅が大きいと半導体チップにおける基板の底面積が小さくなつて機械的安定性が悪くなる。

【0015】第一分割用溝の深さ及び第二分割用溝の深さは、特に限定されないが、第一分割用溝は相対的に深さが小さく、第二分割用溝は相対的に深さが大きいことが好ましい。第一分割用溝の方が相対的に溝幅が狭く、ダイサーの回転刃として寿命が短い傾向がある薄い回転刃を使用するので、第一分割用溝はあまり深くしない方が好ましいからである。また、第二分割用溝の方が相対的に溝幅が広く、ダイサーの回転刃として寿命が長い傾向がある厚い回転刃を使用するので、第二分割用溝を深くしやすいからである。

【0016】そして、第一分割用溝と第二分割用溝との間に残る基板の残存部の厚さを、 $20\sim100\text{ }\mu\text{m}$ にすることが好ましく、 $20\sim50\text{ }\mu\text{m}$ にすることがさらに好ましい。本発明では、半導体ウエハーの半導体層形成側と半導体層非形成側の両側に分割用溝を形成するのでブレーキングを容易化できるが、この残存部の厚さを前記範囲とすることでブレーキングを最も容易化できる。

【0017】本発明は、基板の構成材料により限定されるものではないが、基板がモース硬度 8 以上の高硬度材料よりなるものである場合に特に有効である。例えば、基板がサファイア又は G a N よりなり、半導体層が窒化ガリウム系化合物半導体よりなる半導体ウエハーの分割に特に有効である。

【0018】

【発明の実施の形態】図 1～図 5 は、本発明の実施形態に係る半導体ウエハーのチップ分割方法を示している。

まず、分割する半導体ウエハー1について説明すると、図1 (a) に示すように、同ウエハー1は、基板2とその表面上に形成された発光素子（発光ダイオード、レーザーダイオード等）を構成する半導体層3とからなり、同層3は主要層11～16と電極（図示略）とからなる。

【0019】基板2は、サファイアよりなり、平面寸法形状が例えば2インチ（約5cm）の正方形、厚さが350μm、半導体層を形成する表面がa面〔11～0〕のものである。但し、基板はこれに限定されず、材料（例えばGaNよりなる基板を用いる等）、平面寸法形状、厚さ、結晶面等を適宜変更できる。

【0020】主要層11～16は、いずれも有機金属気相成長法により形成された窒化ガリウム系化合物半導体（バッファ層はAlNであるがGaNでもよい）であり、まず基板2の上にAlNバッファ層11が形成され、同層11の上にSiドープn型GaNコンタクト層12が形成され、同層12の上にn型GaNクラッド層13が形成され、同層13の上にGaN障壁層とInGaN井戸層とが交互に積層された多重量子井戸構造の発光層14が形成され、同層14の上にMgドープp型AlGaNクラッド層15が形成され、同層15の上にMgドープp型GaNコンタクト層16が形成されている。主要層11～16全体の厚さは、特に限定されないが、例えば2～15μmである。

【0021】但し、主要層はこの構成に限定されず、各層の組成を変更したり、発光層を例えば単一量子井戸構造に変更したり、基板2をGaNにする場合にはバッファ層11を省いたり、レーザーダイオードの場合には共振構造を設けたりする等、適宜変更できる。

【0022】【第一実施形態】図2は上記半導体ウエハー1のチップ分割方法の第一実施形態を示し、次の工程により行う。

(1) 図1 (b) 及び図2 (a) に示すように、半導体ウエハー1の半導体層形成側の表面に溝幅W1が例えば約25μmの第一分割用溝5をダイシング、エッティング又はプラストにより形成する。分割する半導体チップの平面寸法形状は1辺約350μmの正方形であり、従って、第一分割用溝5はピッチ350μmの平面格子状配列で形成する。また、第一分割用溝5の深さは、半導体層3を全厚分除去し、さらに基板2における例えば約15μm深さにまで至るように形成する。

【0023】(2) 図2 (b) に示すように、厚さ350μmの基板2の半導体層非形成側の表面を研磨盤により研磨することにより、該基板2を一様に厚さ100μm程度にまで薄肉化する。

【0024】(3) 図1 (b) 及び図2 (c) に示すように、半導体ウエハー1の半導体層非形成側の表面であって前記第一分割用溝5に対応する位置に溝幅W2が例えば約50μmの第二分割用溝6をダイシングにより形

成する。第一分割用溝5と第二分割用溝6とは、それらの溝幅が一部でも重なっていればよいが、第一分割用溝5が第二分割用溝6の溝幅の範囲に収まることが好ましく、それらの溝幅方向の中央部が上下に略合致することがさらに好ましい。第二分割用溝6の深さは例えば約45μmであり、従って、第一分割用溝5と第二分割用溝6との間に残る基板2の残存部2aの厚さは約40μmとなる。

【0025】(4) 図2 (d) に示すように、半導体ウエハー1を基板2の残存部2aにおいてブレーキングにより割り、多数の半導体チップ10に分割する。

【0026】本実施形態のチップ分割方法によれば、次のような効果が得られる。

① 基板2の半導体層形成側に形成する第一分割用溝5の溝幅W1を、半導体層非形成側に形成する第二分割用溝6の溝幅W2より狭くするので、分割する半導体チップ10における半導体層3の面積を増加させて発光輝度を高めることができ、その面積を増加させない場合には半導体チップ10の取れ数を増加させることができる。

【0027】基板2の半導体層非形成側に形成する第二分割用溝6の溝幅W2を、半導体層形成側に形成する第一分割用溝5の溝幅W1より広くするので、第二分割用溝6を形成するダイサーの回転刃として、寿命が長い傾向がある厚い回転刃を使用することができる。これにより、第二分割用溝6の深さを大きくして、残存部2aの厚さを薄くしブレーキングを容易化できる。また、回転刃の交換サイクルが長くなり、交換の手間を削減でき、回転刃コストの低減を図ることもできる。

【0028】【第二実施形態】図3 (a) に示す第二実施形態のチップ分割方法は、第一実施形態において第二分割用溝6の形成後であってブレーキングの前に、該第二分割用溝6の溝底に、第一分割用溝5の溝幅W1と第三分割用溝7の溝幅W3と第二分割用溝6の溝幅W2の関係となる第三分割用溝7をダイシングにより形成する工程を加える点においてのみ、第一実施形態と相違している。図示例の第三分割用溝7は、溝幅W3が（第一分割用溝5の溝幅W1と略同一の）約25μmであり、深さが第二分割用溝6の溝底から例えば約20μmである。従って、基板2の残存部2aの厚さは約20μmとなる。

【0029】第二実施形態によれば、基板2の残存部2aの厚さがより薄くなるため、ブレーキングをより容易化できるとともに、ブレーキング時に発生する亀裂が

(第二分割用溝6の溝幅より狭い) 第三分割用溝7の溝幅の範囲内に収まって、極端に斜めに走ることがないという効果が得られる。

【0030】【第三、第四実施形態】図3 (b) に示す第三実施形態のチップ分割方法は、第一実施形態において第二分割用溝6を形成する際に、該第二分割用溝6の溝断面形状を幅方向の中央部が最も深い略U字状とした点においてのみ、第一実施形態と相違している。同じく

図3 (c) に示す第四実施形態のチップ分割方法は、第二分割用溝6の溝断面形状を幅方向の中央部が最も深い略V字状とした点においてのみ、第一実施形態と相違している。

【0031】第三、第四実施形態によれば、基板2の残存部2aの厚さが第二分割用溝6の幅方向の中央部で最も薄くなるため、ブレーキング時の亀裂が該中央部において発生しやすいという効果が得られる。

【0032】なお、本発明は前記実施形態に限定されるものではなく、例えば以下のように、発明の趣旨から逸脱しない範囲で適宜変更して具体化することもできる。

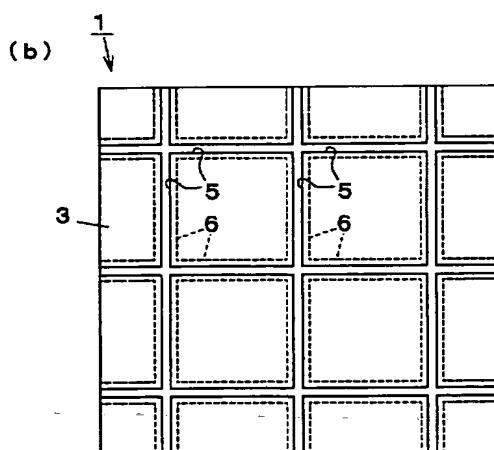
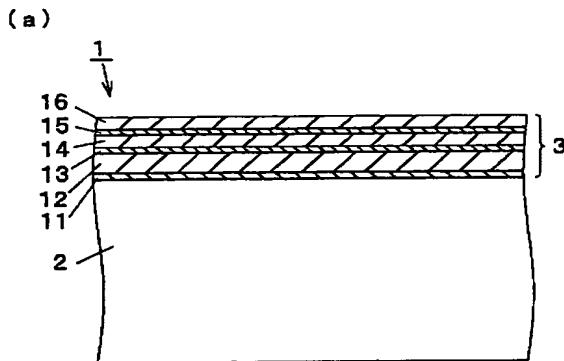
(1) 半導体チップは発光素子に限定されず、例えば受光素子でもよい。

【0033】

【発明の効果】以上詳述した通り、本発明に係る半導体ウエハーのチップ分割方法によれば、分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりすることができるとともに、ブレーキングを容易化することもできる、という優れた効果を奏する。

【図面の簡単な説明】

【図1】



【図1】(a) は本発明の実施形態で分割する半導体ウエハーの断面図、(b) は該半導体ウエハーに分割用溝を形成したときの平面図である。

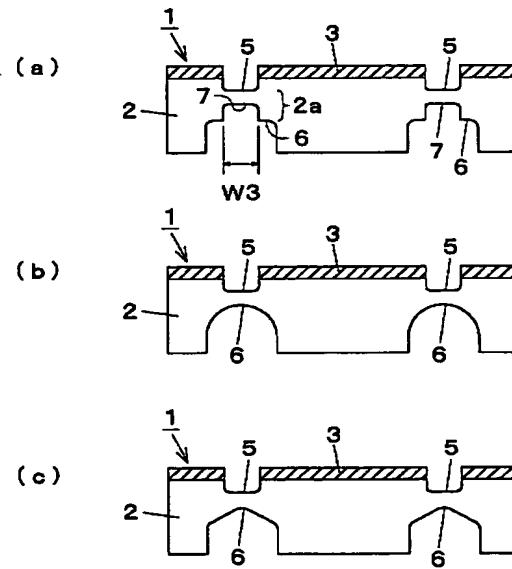
【図2】第一実施形態のチップ分割方法を示す断面図である。

【図3】(a) は第二実施形態のチップ分割方法の要点を示す断面図、(b) は第三実施形態のチップ分割方法の要点を示す断面図、(c) は第三実施形態のチップ分割方法の要点を示す断面図である。

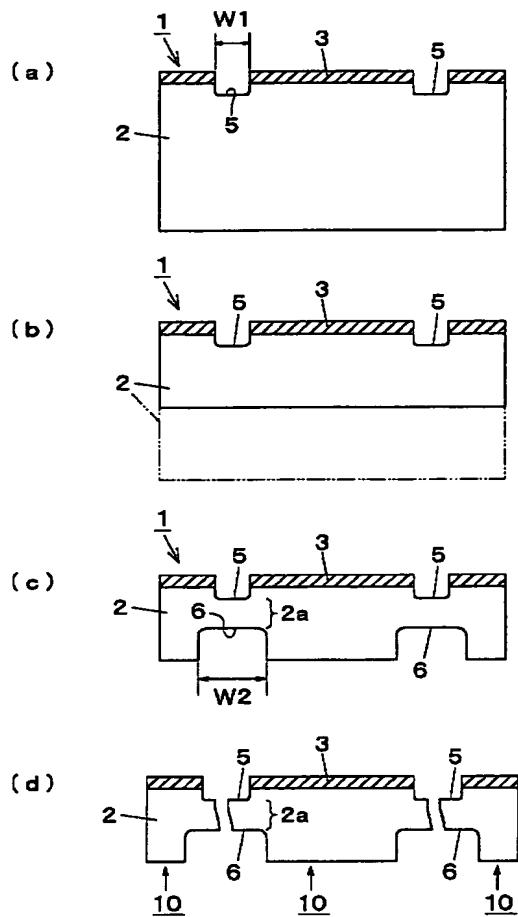
【符号の説明】

1	半導体ウエハー
2	基板
2a	残存部
3	半導体層
5	第一分割用溝
6	第二分割用溝
7	第三分割用溝
W1	第一分割用溝の溝幅
W2	第二分割用溝の溝幅
W3	第三分割用溝の溝幅

【図3】



【図2】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I
H 0 1 L 21/78

マーク (参考)

S
Q

(72) 発明者 橋村 昌樹

愛知県西春日井郡春日町大字落合字長畑1

番地 豊田合成株式会社内

F ターム (参考) 5F041 AA04 AA41 CA04 CA05 CA34
CA40 CA46 CA76
5F043 AA16 AA30 DD30 FF01 GG01
GG10